

Japanese Patent Laid-open Publication No. HEI 10-229130 A

Publication date : August 25, 1998

Applicant : Nihon Denki Kabushiki kaisha

Title : Layout Method and Layout Device



5

[Abstract]

[Problem]

An object of the present invention is to provide a layout method and a layout device, in which the reliability of an integrated circuit can be enhanced by eliminating a clock skew causing a malfunction of the integrated circuit.

[Solving Means]

There is prepared a library in which clock tree type clock lines each having a uniform wiring length are previously wired. Test layout is performed with respect to the clock tree type clock lines previously wired by overlapping sequence circuits such as flip-flops as target circuits at final stages in the clock tree. Subsequently, a clock line not in use is deleted in such a manner that an original load of the clock line cannot be changed. In the case where there is an error in the result of layout wiring, the control routine returns to the test layout processing.

25 100: wiring data library for clock lines

101: circuit input
102: clock tree layout wiring
103: test layout
104: delete clock net data not in use
5 105: layout wiring
106: real wiring simulation

[0013]

Fig. 1 is a flowchart illustrating a processing flow
10 in one preferred embodiment according to the present
invention. Figs. 2 to 4 are treelike diagrams illustrating
one preferred embodiment according to the present
invention, wherein Fig. 2 is a treelike diagram
schematically illustrating one example of a clock tree
15 structure in which wiring lengths from root driver cells to
buffer cells at final stages are uniform; Fig. 3 is a
treelike diagram illustrating the state after F/Fs are laid
out in a state overlapped with the buffer cells at the
final stages; and Fig. 4 is a treelike diagram illustrating
20 the layout after an unnecessary buffer cell is deleted.

[0014]

Layout wiring is performed with respect to a clock
tree, which is prepared as a wiring data library 100 of
clock lines and in which wiring lengths from root drivers

(a) to buffers (c) at final stages are uniform, as illustrated in Fig. 2 (in step 102 of Fig. 1).

[0015]

Subsequently, as illustrated in Fig. 3, inputs of
5 sequence circuit blocks (F/Fs) are overlapped with the
buffer cells at the final stages in the clock tree, and
consequently, test layout is carried out with respect to
the entire circuit (in step 103 of Fig. 1).

[0016]

10 As the result of the test layout, in the case where
there are clock buffers not in use, unnecessary clock line
data is deleted from the wiring data library (step 104 of
Fig. 1) within a range in which a load from a root buffer
present at the root of the clock line to the clock input of
15 each of the F/Fs cannot be changed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229130

(43) 公開日 平成10年(1998) 8月25日

(51) IntCl.⁶

識別記号

F I

H 0 1 L 21/82
G 0 6 F 17/50
H 0 1 L 27/04
21/822

H 0 1 L 21/82 C
G 0 6 F 15/60 6 5 8 K
H 0 1 L 21/82 W
27/04 D

審査請求 有 請求項の数 4 F D (全 6 頁)

(21) 出願番号 特願平9-44721

(22) 出願日 平成9年(1997) 2月13日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 品川 直子

東京都港区芝五丁目7番1号 日本電気株
式会社内

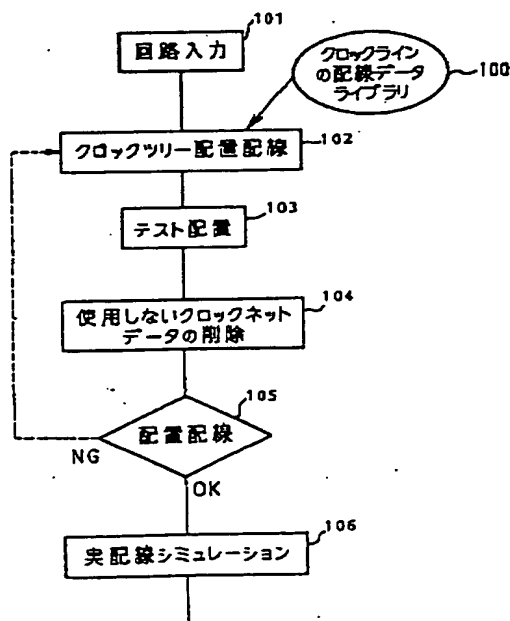
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 レイアウト方法及び装置

(57) 【要約】

【課題】 集積回路の誤動作の原因となるクロックスキューをなくし、信頼性を向上させるレイアウト方法及び装置の提供。

【解決手段】 配線長が均等なクロックツリー型のクロックラインを予め配線したライブラリを用意しておき、予め配線されているクロックツリー型クロックラインに対して、対象回路のフリップフロップなどの順序回路を前記クロックツリーの最終段にオーバーラップさせてテスト配置を行い、次に使用しないクロックラインについて、クロックラインの元からの負荷が変わらないように削除し、配置配線結果にエラーがある場合には再びテスト配置処理に戻る。



【特許請求の範囲】

【請求項 1】 予めクロックラインを構成するルートドライバセル、及び中継バッファ、フリップフロップ、ラッチ内のクロック部分を配置しておき、

さらに前記ルートドライバセルから前記中継バッファを通して前記フリップフロップ、前記ラッチ内のクロック部分を結線する際、

前記ルートドライバから最終段のフリップフロップ、前記ラッチなどのクロック部分までの配線長がすべて等しくなるように配線された配置配線データを持つゲートアレイ基板を準備し、

対象回路を前記ゲートアレイ基板上で実現するとき、予め配置されているフリップフロップ、ラッチ用のクロック部に重ねるように、各フリップフロップを配置する第 1 のステップと、

前記ルートドライバから前記各フリップフロップ、前記ラッチのクロック部までの遅延時間が均等になるように、不要となっている配置配線データを前記ゲートアレイ基板のデータベースから削除する第 2 のステップと、を含み、

チップ上の配置配線結果によっては、前記第 1 のステップに戻る、ことを特徴とするレイアウト方法。

【請求項 2】 配線長が均等なクロックツリー型のクロックラインを予め配線したライブラリを用意しておき、予め配線されているクロックツリー型クロックラインに対して、対象回路のフリップフロップなどの順序回路を前記クロックツリーの最終段にオーバーラップさせてテスト配置を行い、

次に使用しないクロックラインについて、該クロックラインの元からの負荷が変わらない範囲で削除し、配置配線結果にエラーがある場合には、再び前記テスト配置処理を行う、ことを特徴とするレイアウト方法。

【請求項 3】 配線長が均等なクロックツリー型のクロックラインを予め配線したライブラリを備え、対象回路情報を入力し、前記ライブラリの予め配線されているクロックツリー型クロックラインに対して、前記対象回路のフリップフロップなどの順序回路を前記クロックツリーの最終段にオーバーラップさせてテスト配置を行う手段と、

使用しないクロックラインについて、該クロックラインの元にあるルートバッファから順序回路の入力部までの負荷が変わらない範囲で不要なクロックラインを削除する手段と、

配置配線の結果を検証を行う手段と、を備えたことを特徴とするレイアウト装置。

【請求項 4】 対象回路情報を入力し、配線長が均等なクロックツリー型のクロックラインを予め配線したデータを格納したライブラリにおいて予め配線されているクロックツリー型クロックラインに対して、前記対象回路の

フリップフロップなどの順序回路を前記クロックツリーの最終段にオーバーラップさせてテスト配置を行う処理と、

使用しないクロックラインについて、該クロックラインの元にあるルートバッファから順序回路の入力部までの負荷が変わらない範囲で不要なクロックラインを削除する処理と、

配置配線の結果を検証を行う処理と、

の上記各処理を情報処理装置で実行させるプログラムを格納した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路に関し、特に、ゲートアレイにおいて所要のクロックを供給するクロック分配回路のレイアウト装置及びレイアウト方法に関する。

【0002】

【従来の技術】 同期式回路におけるクロックスキューの削減を考慮したレイアウト方法の従来技術について以下に説明する。

【0003】 第 1 の従来技術として、例えば特開平 3-232267 号公報には、クロックネットが予め格子状に配線されている半導体基板上に、回路を配置配線し、フリップフロップ（「F/F」という）までのクロック信号配線は格子状（メッシュ状）に配置されているクロック信号配線から分配されるようにして、クロックドライバから F/F までの抵抗が低減されクロック信号のスキューを低減するようにした構成が提案されている。この場合、予め準備されるクロックラインは、その配線幅を広くすることで、抵抗成分を低減し、クロックラインで生じるスキューを低減しようとするものである。

【0004】 次に第 2 の従来技術として、例えば特開平 5-54100 号公報に提案されているように、クロックラインに中継バッファを挿入し、自動配線時に配線を迂回させるなどの手法により、ルートドライバから F/F のクロックまでの遅延を均等にし、クロックスキューを低減しようとするものである。なお上記特開平 5-54100 号公報には、バイナリツリー状のクロック配線経路の分岐点を一旦設定したあと、共通の親分岐点を持つ兄弟分岐点間を結線し、その実配線経路上の地点で RC ディレイのバランスするところを新たな親分岐点位置として更新し、これをボトムアップで繰り返して詳細配線経路を決定し、またバッファセル挿入による階層クロック分配方式において、バッファセル詳細位置決定後、同一の階層でディレイを等しくするように、バッファセル近傍の経路に迂回部分を含ませて詳細配線を行い、更にクラスタ内経路を除く部分に対して、専用配線層による配線を行うクロック信号の分配方法が提案されている。

【0005】

【発明が解決しようとする課題】上記の第1の従来技術として説明した、クロックラインを予め配線する方法ではクロック元からF/Fなどの順序回路ブロックまでの距離が一定ではないため、スキューが存在する。さらに予めクロックラインを強制的に配線しているために不要なクロックラインが残り、しかも太い配線であるので、トランジスタの使用効率が低く、配線性が低くなる。

【0006】一方、「クロックツリーシンセシス」と呼ばれる第2の従来技術においては、クロック配線を制御することでクロックスキューを低減するものであるが、ルートドライブからF/Fまでの負荷を100%均等にすることはできないため、クロックスキューを完全にゼロにすることはできない。

【0007】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、集積回路の誤動作の原因となるクロックスキューをなくし、信頼性を向上させるレイアウト方法及び装置を提供することにある。

【0008】本発明の他の目的は、クロックツリーを持つ集積回路の配線性を高め高集積化を図るレイアウト方法及び装置を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するため、本発明のレイアウト方法は、予めクロックラインを構成するルートドライバセル、及び中継バッファ、フリップフロップ、ラッチ内のクロック部分を配置しておき、さらに前記ルートドライバセルから前記中継バッファを通して前記フリップフロップ、前記ラッチ内のクロック部分を結線する際、前記ルートドライバから最終段のフリップフロップ、前記ラッチなどのクロック部分までの配線長がすべて等しくなるように配線された配置配線データを持つゲートアレイ基板を準備し、対象回路を前記ゲートアレイ基板上で実現するとき、予め配置されているフリップフロップ、ラッチ用のクロック部に重ねるように、各フリップフロップを配置する第1のステップと、前記ルートドライバから前記各フリップフロップ、前記ラッチのクロック部までの遅延時間が均等になるように、不要となっている配置配線データを前記ゲートアレイ基板のデータベースから削除する第2のステップと、を含み、チップ上の配置配線結果によっては、前記第1のステップに戻る、ことを特徴とする。

【0010】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明は、その好ましい実施の形態において、配線長が均等なクロックツリー型のクロックラインを予め配線しておくライブラリを備え、予め配線されているクロックツリー型クロックラインに対して、対象回路のフリップフロップを前記クロックツリーの最終段にオーバーラップさせてテスト配置を行い(図1の103)、次に使用しないクロックラインについて、クロッ

クラインの元からの負荷が変わらないように削除し(ステップ104)、改めて配置配線を行い、配置配線結果にエラーがある場合には(ステップ105のNG)、再びテスト配置処理に戻る。

【0011】より詳細には、本発明の実施の形態では、クロックスキューをゼロにするため、ルートドライバから最終段のF/F、ラッチなどのクロック部分までの配線長がすべて等しくなるように配線された配置配線データを持つゲートアレイ基板を準備し、F/F、ラッチ用のクロック部に重ねるように、各F/Fを配置し、回路全体の配線性を高めるために、ルートドライバから各F/F、ラッチのクロック部までの遅延時間を均等に保ったまま、不要となっているクロックラインの配置配線データをゲートアレイ基板のデータベースから削除する。

【0012】

【実施例】上記した本発明の実施の形態について更に詳細に説明するため、本発明の一実施例について図面を参照して以下に説明する。

【0013】図1は、本発明の一実施例の処理フローを説明するための流れ図である。また図2乃至図4は、本発明の一実施例を説明するための図であり、図2は、ルートドライバセルから最終段のバッファセルまでの配線長が均等なクロックツリー構造の一例を模式的に示す図である。図3は、最終段のバッファセルにオーバーラップさせてF/Fを配置した後の状態を示す図である。また、図4は、不要なバッファセルを削除した後の配置位置を示す図である。

【0014】クロックラインの配線データライブラリ100として用意されている、図2に示すようなルートドライバ(a)から各最終段バッファ(c)までの配線長が均等なクロックツリーの配置配線を行う(図1のステップ102)。

【0015】次に、図3に示すように、順序回路ブロック(F/F)の入力部分を、クロックツリーの最終段のバッファセルにオーバーラップさせて、回路全体のテスト配置を行う(図1のステップ103)。

【0016】テスト配置の結果、使用しないクロックバッファがある場合、クロックラインの元にあるルートバッファから各F/Fのクロック入力部分までの負荷が変わらない範囲で、不要なクロックラインデータを、配線データライブラリから削除する(図1のステップ104)。

【0017】この実施例の場合、図3の(d)部分のバッファを削除しても、ルートドライバ(a)から最終段バッファまでの負荷は変わらないので、削除することができるが、図中、(e)、(f)、(g)部のバッファは、同段のバッファに配置されたF/Fにかかる負荷に影響を与えるので、削除せずに残しておく。

【0018】この結果、図4に示すような、配置結果となる。

【0019】不要なクロックラインのデータを削除した後、改めて全体の配置配線を行い、エラーがあれば(図1のステップ105のNG分岐)、クロックツリー配置配線(図1のステップ102)、テスト配置(図1のステップ103)に戻る。

【0020】図5は、不要なクロックラインを削除する前の、図3で示した(d)部分を、セル配置図で示したものであり、図6は、不要バッファ削除後に、配置配線を行った結果を示したセル配置図である。

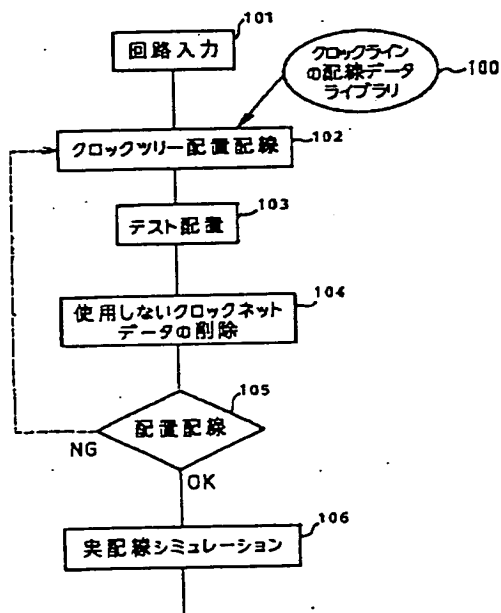
【0021】

【発明の効果】以上説明したように、本発明によれば、ルートドライバから各フリップフロップまでの遅延時間が均等になっているクロックラインの配線データライブラリを予め具備しているため、各フリップフロップ間のクロックスキューを完全に零にすることができ、同期回路におけるタイミングエラーをなくすることができる、という顕著な効果を奏する。また、本発明によれば、ツール上で自動的に不要なクロックラインに関する配置配線データを取り除くものであるため、セル使用率や配線性を低下させることはない。

【図面の簡単な説明】

【図1】本発明の一実施例の処理動作を説明するためのフローチャートである。

【図1】



【図2】本発明の一実施例を説明するための図であり、ルートドライバセルから最終段のバッファセルまでの配線長が均等なクロックツリー構造の一例を示す簡略図である。

【図3】本発明の一実施例を説明するための図であり、最終段のバッファセルにオーバーラップさせてF/Fを配置した後の状態を示す簡略図である。

【図4】本発明の一実施例を説明するための図であり、不要なバッファセルを削除した後の配置位置を示す簡略図である。

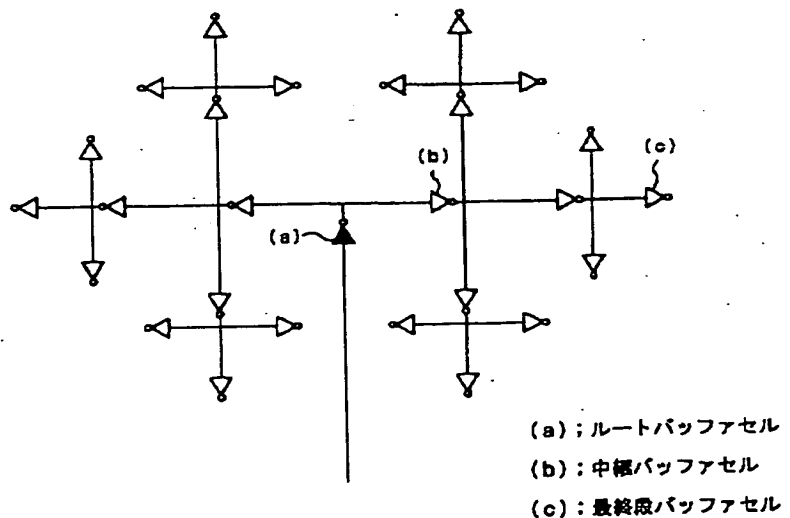
【図5】本発明の一実施例を説明するための図であり、図3の状態を示すセル配置図である。

【図6】本発明の一実施例を説明するための図であり、図4の状態を示すセル配置図である。

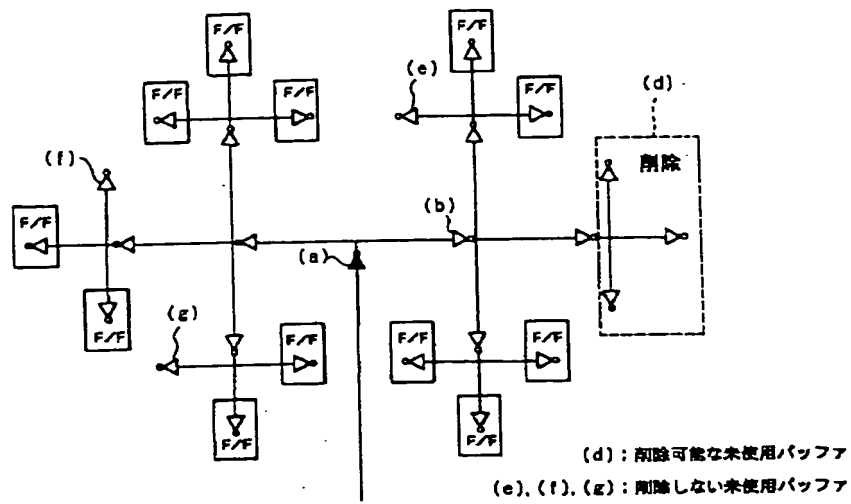
【符号の説明】

- (a) ルートバッファセル
- (b) 中継バッファセル
- (c) 順序回路ブロックのクロック入力部が配置されている最終段バッファセル
- (d) 削除可能な未使用バッファ
- (e) (f) (g) 削除せずに残しておく未使用バッファ

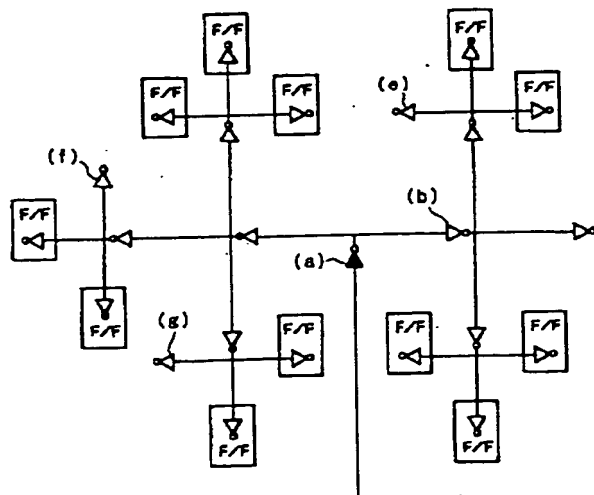
【図2】



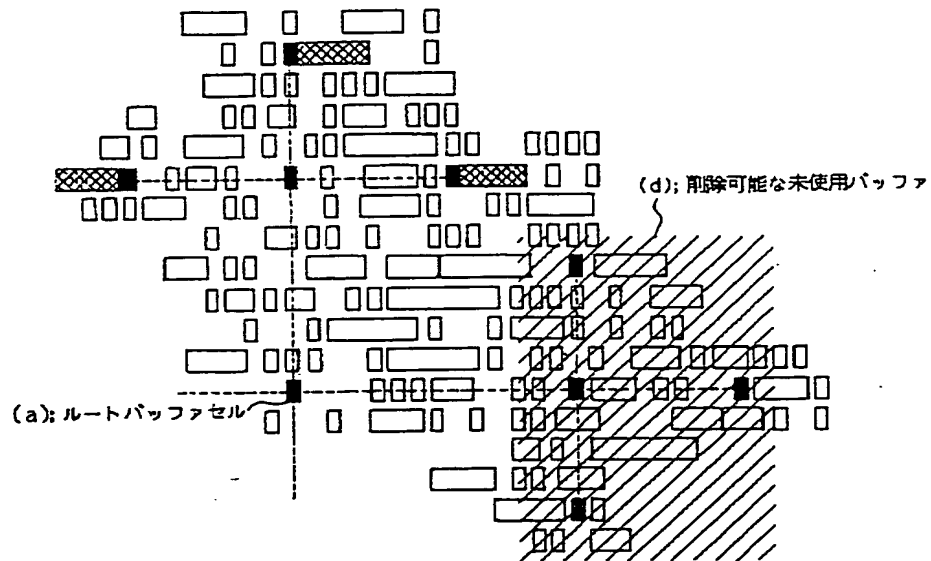
【図3】



【図4】



【図5】



【図6】

